

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017557

International filing date: 26 November 2004 (26.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-400300
Filing date: 28 November 2003 (28.11.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

26.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 0 0 3 0 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 0 0 3 0 0]

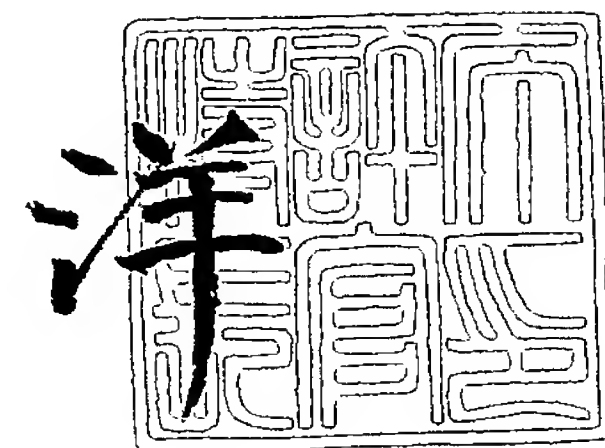
出 願 人 大 見 忠 弘
Applicant(s): 日 本 ゼ オ ン 株 式 会 社



特 許 庁 長 官
Commissioner,
Japan Patent Office

2 0 0 5 年 1 月 1 3 日

小 川



【書類名】 特許願
【整理番号】 M-1168
【提出日】 平成15年11月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/786
G02F 1/136

【発明者】
【住所又は居所】 宮城県仙台市青葉区米ヶ袋 2 - 1 - 1 7 - 3 0 1
【氏名】 大見 忠弘

【発明者】
【住所又は居所】 宮城県仙台市青葉区愛子中央 1 - 2 - 3 6 - B 2 0 1
【氏名】 森本 明大

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 6 番 1 号 日本ゼオン株式会社内
【氏名】 鈴木 輝彦

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 6 番 1 号 日本ゼオン株式会社内
【氏名】 加藤 文佳

【特許出願人】
【識別番号】 000205041
【氏名又は名称】 大見 忠弘

【特許出願人】
【識別番号】 000229117
【氏名又は名称】 日本ゼオン株式会社

【代理人】
【識別番号】 100071272
【弁理士】
【氏名又は名称】 後藤 洋介

【選任した代理人】
【識別番号】 100077838
【弁理士】
【氏名又は名称】 池田 憲保

【手数料の表示】
【予納台帳番号】 012416
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0303948

【書類名】 特許請求の範囲**【請求項 1】**

絶縁性基板上にマトリックス状に配置された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有するアクティブマトリクス表示装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とするアクティブマトリクス表示装置。

【請求項 2】

請求項 1 において、前記配線はゲート配線、ソース配線及びドレイン配線を含み、前記ゲート配線は前記薄膜トランジスタのゲート電極に接続される走査線を構成し、前記ソース配線及び前記ドレイン配線は前記薄膜トランジスタのソース電極及びドレイン電極にそれぞれ接続され、前記ソース配線及び前記ドレイン配線の一方は前記薄膜トランジスタに信号を供給する信号線を構成するとともに他方は画素電極に接続され、前記平坦化層は前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線を囲み、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とするアクティブマトリクス表示装置。

【請求項 3】

請求項 1 又は 2 に記載のアクティブマトリクス表示装置において、前記平坦化層は樹脂によって形成されていることを特徴とするアクティブマトリクス表示装置。

【請求項 4】

請求項 3 に記載のアクティブマトリクス表示装置において、前記樹脂はアクリル系樹脂、シリコン系樹脂、フッ素系樹脂、ポリイミド系樹脂、ポリオレフィン系樹脂、脂環式オレフィン系樹脂、およびエポキシ系樹脂からなる群から選ばれた樹脂の少なくとも一つであることを特徴とするアクティブマトリクス表示装置。

【請求項 5】

請求項 3 に記載のアクティブマトリクス表示装置において、前記平坦化層は感光性樹脂組成物によって形成されていることを特徴とするアクティブマトリクス表示装置。

【請求項 6】

請求項 1 又は 2 に記載のアクティブマトリクス表示装置において、前記平坦化層は無機物を含んでいることを特徴とするアクティブマトリクス表示装置。

【請求項 7】

請求項 1 又は 2 に記載のアクティブマトリクス表示装置において、前記平坦化層はアルカリ可溶性脂環式オレフィン樹脂と感放射線成分とを含有する樹脂組成物を用いて形成されていることを特徴とするアクティブマトリクス表示装置。

【請求項 8】

請求項 1 から 7 のいずれかに記載のアクティブマトリクス表示装置において、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線はいずれも有機物を含んでいることを特徴とするアクティブマトリクス表示装置。

【請求項 9】

請求項 1 から 8 のいずれかに記載のアクティブマトリクス表示装置において、前記絶縁性基板は透明材料によって形成されていることを特徴とするアクティブマトリクス表示装置。

【請求項 10】

請求項 1 から 8 のいずれかに記載のアクティブマトリクス表示装置において、前記絶縁性基板は表面が絶縁物によって被覆された基板であることを特徴とするアクティブマトリクス表示装置。

【請求項 11】

前記表示装置は液晶表示装置であることを特徴とする請求項 1 から 9 のいずれかに記載のアクティブマトリクス表示装置。

【請求項 12】

前記表示装置は有機EL表示装置であることを特徴とする請求項 1 から 9 のいずれかに記載のアクティブマトリクス表示装置。

【請求項 13】

絶縁性基板上にゲート電極およびゲート配線を形成する工程と、前記ゲート電極と前記ゲート配線とを覆うように絶縁膜を形成する工程と、該絶縁膜上に半導体層を選択的に形成する工程と、該半導体層上に平坦化層を形成する工程と、該平坦化層の一部を選択的に除去して前記半導体層に達する溝を形成する工程と、前記溝内に前記半導体層に達する配線部を前記配線部の表面と前記平坦化層の表面とが実質的に同一平面となるように形成する工程とを有することを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 14】

請求項 13 において、前記配線部を形成する工程は配線形成補助層を形成する工程と配線材料を溝内に充填する工程とを含むことを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 15】

前記配線形成補助層はリフトオフ層、触媒層、撥水層のいずれかであることを特徴とする請求項 14 に記載のアクティブマトリクス表示装置の製造方法。

【請求項 16】

前記平坦化層が前記配線形成補助層を兼ねていることを特徴とする請求項 14 に記載のアクティブマトリクス表示装置の製造方法。

【請求項 17】

請求項 13 において、前記半導体層を選択的に形成する工程は、第 1 半導体の層を形成する工程と、前記第 1 半導体とは導電率の異なる第 2 半導体の層を前記第 1 半導体の層上に積層する工程と、第 1 半導体および第 2 半導体の積層膜上にフォトレジストを積層する工程と、前記フォトレジストのうち予め定められた素子領域上以外の部分の厚さ全体と該素子領域内のチャネルとなる領域上の部分の膜厚の一部とを除去する工程と、残余のフォトレジストをマスクとして前記第 1 および第 2 半導体の積層膜のうち前記素子領域以外の部分および前記チャネルとなる領域上の前記第 2 半導体の層を選択的にエッチング除去する工程と、前記第 1 半導体の層のうち該チャネルとなる領域に選択的に保護膜を形成する工程とを含むことを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 18】

請求項 17 において、前記フォトレジストを除去する工程は、前記チャネルとなる領域上のフォトレジストの残存厚さが素子領域の他の部分上の残存膜厚に比べ薄くなるように露光量を調整して該フォトレジストを露光する工程と、露光された該フォトレジストを現像し素子領域部以外のフォトレジストを除去してパターン状のフォトレジストを得る工程とを含み、前記保護膜を形成する工程は、前記パターン状のフォトレジストのうち前記半導体の選択的除去工程を経て残存する部分をマスクとして用いることを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 19】

請求項 17 において、前記保護膜を形成する工程は直接窒化法であることを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 20】

請求項 13 において前記配線材料を溝内に充填する工程はスパッタ法、CVD法、めっき法、印刷法のいずれかによって行われることを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 21】

請求項 13 において、前記印刷法はインクジェット印刷法またはスクリーン印刷法であることを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 22】

前記表示装置は液晶表示装置であることを特徴とする請求項 13 から 20 のいずれかに記載のアクティブマトリクス表示装置。

【請求項 2 3】

前記表示装置は有機EL表示装置であることを特徴とする請求項 1 3 から 2 0 のいずれかに記載のアクティブマトリクス表示装置。

【請求項 2 4】

絶縁性基板上に形成された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有する薄膜トランジスタ集積回路装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とする薄膜トランジスタ集積回路装置。

【請求項 2 5】

請求項 2 4 において、前記配線はゲート配線、ソース配線及びドレイン配線を含み、前記ゲート配線は少なくとも一つの前記薄膜トランジスタのゲート電極に接続され、前記ソース配線は少なくとも一つの前記薄膜トランジスタのソース電極に接続され、前記ドレイン配線は少なくとも一つの前記薄膜トランジスタのドレイン電極に接続され、前記平坦化層は前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線を囲み、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とする薄膜トランジスタ集積回路装置。

【請求項 2 6】

請求項 2 5 において、前記薄膜トランジスタのゲート電極および前記ゲート配線を包囲するように絶縁膜が設けられ、前記薄膜トランジスタのゲート電極、前記ゲート配線および前記絶縁膜は実質的に同一な平坦な表面を形成し、前記薄膜トランジスタのゲート絶縁膜は前記平坦な表面上に形成されていることを特徴とする薄膜トランジスタ集積回路装置。

【請求項 2 7】

絶縁性基板上にゲート電極およびゲート配線を形成する工程と、前記ゲート電極と前記ゲート配線とを覆うように絶縁膜を形成する工程と、該絶縁膜上に半導体層を形成する工程と、該半導体層上に平坦化層を形成する工程と、該平坦化層の一部を選択的に除去して前記半導体層に達する溝を形成する工程と、前記溝内に前記半導体層に達する配線部を前記配線部の表面と前記平坦化層の表面とが実質的に同一平面となるように形成する工程とを有することを特徴とする薄膜トランジスタ集積回路装置の製造方法。

【請求項 2 8】

請求項 2 7 において、前記配線部を形成する工程は配線形成補助層を形成する工程と配線材料を溝内に充填する工程とを含むことを特徴とする薄膜トランジスタ集積回路装置の製造方法。

【請求項 2 9】

前記配線形成補助層はリフトオフ層、触媒層、撥水層のいずれかであることを特徴とする請求項 2 8 に記載の薄膜トランジスタ集積回路装置の製造方法。

【請求項 3 0】

前記平坦化層が前記配線形成補助層を兼ねていることを特徴とする請求項 2 8 に記載の薄膜トランジスタ集積回路装置の製造方法。

【請求項 3 1】

請求項 2 7 において、前記半導体層を選択的に形成する工程は、第 1 半導体の層を形成する工程と、前記第 1 半導体とは導電率の異なる第 2 半導体の層を前記第 1 半導体の層上に積層する工程と、第 1 半導体および第 2 半導体の積層膜上にフォトレジストを積層する工程と、前記フォトレジストのうち予め定められた素子領域上以外の部分の厚さ全体と該素子領域内のチャンネルとなる領域上の部分の膜厚の一部とを除去する工程と、残余のフォトレジストをマスクとして前記第 1 および第 2 半導体の積層膜のうち前記素子領域以外の部分および前記チャンネルとなる領域上の前記第 2 半導体の層を選択的にエッチング除去する工程と、前記第 1 半導体の層のうち該チャンネルとなる領域に選択的に保護膜を形成する工程とを含むことを特徴とするアクティブマトリクス表示装置の製造方法。

【請求項 3 2】

請求項 3 1 において、前記フォトレジストを除去する工程は、前記チャンネルとなる領域上のフォトレジストの残存厚さが素子領域の他の部分上の残存膜厚に比べ薄くなるように露光量を調整して該フォトレジストを露光する工程と、露光された該フォトレジストを現像し素子領域部以外のフォトレジストを除去してパターン状のフォトレジストを得る工程とを含み、前記保護膜を形成する工程は、前記パターン状のフォトレジストのうち前記半導体の選択的除去工程を経て残存する部分をマスクとして用いることを特徴とする薄膜トランジスタ集積回路装置の製造方法。

【書類名】 明細書

【発明の名称】 薄膜トランジスタ集積回路装置、アクティブマトリクス表示装置及びそれらの製造方法

【技術分野】

【0 0 0 1】

本発明は薄膜トランジスタ集積回路装置に関し、また薄膜トランジスタ（T F T）を用いたアクティブマトリクス表示装置およびそれらの製造方法に関する。

【背景技術】

【0 0 0 2】

薄膜トランジスタ集積回路装置は、ガラスなどの絶縁体基板または少なくとも表面が絶縁体の基板上に多数の薄膜トランジスタおよびこれらのトランジスタを相互接続したり電源や入出力端子へ接続したりする配線層を単層または多層に配置してマイクロプロセッサやシステム L S I 回路等を構成するものであり、その実施態様のひとつにアクティブマトリクス液晶表示装置や有機 E L 表示装置などのアクティブマトリクス表示装置がある。アクティブマトリクス表示装置は、マトリックス状に配置された画素と、各画素に対応するようにマトリックス状に配置されスイッチング素子として用いられる薄膜トランジスタ（以下 T F T と略称する）と、行列のマトリックスを構成する行線および列線を基本的に有している。行線は信号の書き込みタイミングを伝達する走査信号を各 T F T のゲート電極に印加する走査線として使われ、列線は表示画像に応じた信号を T F T スイッチを介して各画素に供給する信号線として使われる。従って信号線は T F T のソースまたはドレイン電極の一方に接続され、T F T のソースまたはドレイン電極の他方は画素電極に接続される。走査線からゲート電極に印加されるタイミング信号によって T F T スイッチはオンになって画素に信号を供給する。このようなアクティブマトリクス表示装置には、画素の種類に応じて、アクティブマトリクス液晶表示装置や有機 E L 表示装置等が存在する。走査線、信号線、TFTを含む基板全体はアクティブマトリクス基板とも呼ばれ、基板の表面に、減圧雰囲気における成膜やフォトリソグラフィなどのプロセスにより幾層もの回路パターンを形成し構成されている。表示装置のコスト低減の観点から、減圧雰囲気における成膜工程やフォトリソグラフィ工程の削減が検討されている。

【0 0 0 3】

特に、配線をスパッタにより成膜する工程は、全面に成膜した配線材料をフォトリソグラフィ法により加工し、配線部を形成するため、材料の大部分をエッチング除去してしまったり、膜厚の均一性を確保するために、基板面積に比べ大きい材料ターゲットを使用したりするため、材料利用効率が著しく低く、アクティブマトリクス基板の製造コストを上昇する要因になっている。

【0 0 0 4】

このような問題を解決するために、印刷法により必要な部位のみに配線を形成し材料の利用効率を高める手法が開発されている。例えば、特開 2 0 0 2 - 0 2 6 0 1 4 号公報（特許文献 1）記載のようにインクジェット法を用いて、所定の場所に配線を形成する方法が開示されている。このような印刷法を用いることで、減圧工程を削減することができ、表示装置の製造コストを低減することができる。

【0 0 0 5】

一方、アクティブマトリクス表示装置において、スイッチング素子として動作する TFT 素子は、ゲート電極が基板側に形成される逆スタガ型が広く用いられている。逆スタガ型 TFT を用いた表示装置は特開 2 0 0 2 - 9 8 9 9 4 号公報（特許文献 2）等に記載のように形成される。すなわち、特許文献 2 では、まず、ガラス基板上にゲート電極をフォトリソグラフィ法により形成し、その後、ゲート絶縁膜を形成する処理が行われる。次に、半導体層としてアモルファスシリコン層およびコンタクト層となる n + 型アモルファスシリコン層を積層する。ソース電極およびドレイン電極とコンタクトを形成する n + 型アモルファスシリコン層の分離を、スリットマスク等を用いて露光量を変調させ、現像後のレジスト厚みを調整してからエッチングするハーフトーン露光技術を用いることで、ソースとド

レインの n+型アモルファスシリコン層の分離を行っている。以後、残存するフォトレジストを剥離し、チャネル部のパッシベーション膜形成が CVD 法により行われている。

【特許文献 1】 特開 2002-026014 号公報

【特許文献 2】 特開 2002-98994 号公報

【特許文献 3】 特願 2003-159315 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

インクジェット法などの印刷法を用いて配線を形成しようとする場合、表示装置のように微細なパターンを描画する際、特許文献 1 に記載の如く、配線の形成が不要な部位に撥水膜を形成しておくことで配線インクが所定の位置に収納され微細パターンを形成することができる。しかしながら、特許文献 1 は、配線以外の活性化領域を含むアクティブマトリクス TFT に対する応用については、全く示唆されていない。

【0007】

また、特許文献 2 はソース、ドレイン電極等の主要部分を形成した後、感光性アクリル系樹脂を塗布することによって、平坦化することを開示している。更に、特許文献 2 はハーフトーン法を用いてソース、ドレインのコンタクト部を形成する方法を開示している。

【0008】

しかしながら、特許文献 2 では、ソース、ドレイン電極配線を含む主要部分を平坦化することについては何等記述していない。また、特許文献 2 は、ディスプレイの大型化に伴う、信号線上での信号損失や遅延の発生について何等検討していない。このため、特許文献 2 では、画素に十分な信号が書き込めない問題が生じるものと予測される。

【0009】

この問題を解決するためには配線幅を大きくするか、もしくは配線厚さを厚くすることで配線抵抗を減少せしめ、損失や遅延を小さくすることが考えられるが、配線幅を大きくすることは配線容量が同時に増加するため、消費電力の観点から好ましい手法とはいえない。一方、配線厚さを厚くする方法は、特許文献 1 に記載のように信号線上を平坦化層に覆うことによって、該平坦化層表面に段差が生じないようにすることが考えられるが、ディスプレイサイズが大型化するにつれ厚膜化には限界がある。

【0010】

本発明者等は、特許文献 3 において、基板表面に透明膜を形成し、当該透明膜中に、配線部を選択的に埋設することにより、表面を平坦化する技術を提案した。この技術では、基板上に形成されるゲート配線の周辺を透明膜により囲むことによって、ゲート配線と透明膜との間の段差を無くすることができる。このため、透明膜はゲート配線による段差を吸収する平坦化層としての機能を有している。

【0011】

しかしながら、特許文献 3 は、ガラス基板の表面に直接形成されるゲート配線やゲート電極を透明膜に埋め込むことによって表面を平坦化することを企図しているだけで、当該平坦化された表面に形成される TFT のソースおよびドレイン部の表面を平坦化することについては開示していない。更に、特許文献 3 はソースおよびドレイン電極、ソース配線、ドレイン配線を平坦化することについては何等言及していない。

【0012】

また、また、特許文献 1～3 のいずれにおいても、ソース電極配線及びドレイン電極と、それ以外の領域に生じる段差に起因する問題点について何等指摘していない。

【課題を解決するための手段】

【0013】

本発明は、上記の問題に鑑みてなされたものであり、平坦な配線を備えた薄膜トランジスタ集積回路装置を提供することを目的とする。

【0014】

本発明の他の目的は平坦化された電極配線を有するアクティブマトリクス表示装置を提

供することである。

【0015】

本発明の更に他の目的はインクジェット印刷などの印刷法、メッキ法を適用できる薄膜トランジスタの製造方法を提供することである。

【0016】

本発明の一態様によれば、絶縁性基板上に形成された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有する薄膜トランジスタ集積回路装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とする薄膜トランジスタ集積回路装置が得られる。ここで、前記配線はゲート配線、ソース配線及びドレイン配線を含み、前記ゲート配線は少なくとも一つの前記薄膜トランジスタのゲート電極に接続され、前記ソース配線は少なくとも一つの前記薄膜トランジスタのソース電極に接続され、前記ドレイン配線は少なくとも一つの前記薄膜トランジスタのドレイン電極に接続され、前記平坦化層は前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線を囲み、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線の表面と前記平坦化層の表面とは実質的に同一平面を形成してよい。

【0017】

本発明の別の態様によれば、絶縁性基板上にマトリックス状に配置された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有するアクティブマトリクス表示装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とするアクティブマトリクス表示装置が得られる。ここで、前記配線はゲート配線、ソース配線及びドレイン配線を含み、前記ゲート配線は前記薄膜トランジスタのゲート電極に接続される走査線を構成し、前記ソース配線及び前記ドレイン配線は前記薄膜トランジスタのソース電極及びドレイン電極にそれぞれ接続され、前記ソース配線及び前記ドレイン配線の一方は前記薄膜トランジスタに信号を供給する信号線を構成するとともに他方は画素電極に接続され、前記平坦化層は前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線を囲み、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線の表面と前記平坦化層の表面とは実質的に同一平面を形成してよい。

【0018】

本発明の更に他の態様によれば、絶縁性基板上にゲート電極およびゲート配線を形成する工程と、前記ゲート電極と前記ゲート配線とを覆うように絶縁膜を形成する工程と、該絶縁膜上に半導体層を選択的に形成する工程と、該半導体層上に平坦化層を形成する工程と、該平坦化層の一部を選択的に除去して前記半導体層に達する溝を形成する工程と、前記溝内に前記半導体層に達する配線部を前記配線部の表面と前記平坦化層の表面とが実質的に同一平面となるように形成する工程とを有することを特徴とする薄膜トランジスタ集積回路装置またはアクティブマトリクス表示装置の製造方法が得られる。ここで、前記配線部を形成する工程は配線形成補助層を形成する工程と配線材料を溝内に充填する工程とを含んでよく、前記配線形成補助層はリフトオフ層、触媒層、撥水層のいずれかであってよい。また、前記平坦化層が前記配線形成補助層を兼ねていてもよい。前記半導体層を選択的に形成する工程は、第1半導体の層を形成する工程と、前記第1半導体とは導電率の異なる第2半導体の層を前記第1半導体の層上に積層する工程と、第1半導体および第2半導体の積層膜上にフォトレジストを積層する工程と、前記フォトレジストのうち予め定められた素子領域上以外の部分の厚さ全体と該素子領域内のチャネルとなる領域上の部分の膜厚の一部とを除去する工程と、残余のフォトレジストをマスクとして前記第1および第2半導体の積層膜のうち前記素子領域以外の部分および前記チャネルとなる領域上の前記第2半導体の層を選択的にエッチング除去する工程と、前記第1半導体の層のうち該チャネルとなる領域に選択的に保護膜を形成する工程とを含むことが好ましい。前記フォトレジストを除去する工程は、前記チャネルとなる領域上のフォトレジストの残存厚さが素子領域の他の部分上の残存膜厚に比べ薄くなるように露光量を調整して該フォトレジス

トを露光する工程と、露光された該フォトレジストを現像し素子領域部以外のフォトレジストを除去してパターン状のフォトレジストを得る工程とを含み、前記保護膜を形成する工程は、前記パターン状のフォトレジストのうち前記半導体の選択的除去工程を経て残存する部分をマスクとして用いることが好ましい。また前記保護膜は直接窒化法で形成することが出来る。

【0 0 1 9】

従来提案されているアクティブマトリクス表示装置では、信号線、ソース電極及びドレイン電極の表面と、これらを囲む領域表面との間には、不可避免的に段差が生じる。本発明では、平坦化層が信号線、ソース電極及びドレイン電極を囲む領域に設けられて、信号線、ソース電極及びドレイン電極の表面とこれらを囲む領域表面との間の段差を吸収している。平坦化層を設けた場合にも、信号線、ソース電極及びドレイン電極と平坦化層との間には若干の残留段差が残る。本発明者等の研究によれば、残留段差は小さいほうが、上層の配線の断線、液晶の配向乱れ、有機EL素子の寿命劣化などの影響が少なく好ましいことが分った。具体的には、おおむね $1\ \mu\text{m}$ 以下が好ましく、 $0.5\ \mu\text{m}$ 以下がより好ましい。

【0 0 2 0】

したがって、本発明において実質的に同一平面とは信号線またはソースもしくはドレイン配線、ソース電極、およびドレイン電極の各表面と平坦化層表面との段差が $1\ \mu\text{m}$ 以下のものを指す。

【0 0 2 1】

また、前記平坦化層は樹脂によって形成されていることを特徴とし、当該樹脂はアクリル系樹脂、シリコン系樹脂、フッ素系樹脂、ポリイミド系樹脂、ポリオレフィン系樹脂、脂環式オレフィン系樹脂、およびエポキシ系樹脂からなる群から選ばれた樹脂を含んでもよい。また、平坦化層は感光性樹脂組成物によって形成されていても良いし、アルカリ可溶性脂環式オレフィン樹脂と感放射線成分とを含有する樹脂組成物を用いて形成されても良い。更に、前記平坦化層は無機物を含んでもよい。

【0 0 2 2】

さらに本発明では、信号線等の配線、ソース電極及びドレイン電極は有機物を含有しても良い。

【0 0 2 3】

また本発明の前記絶縁性基板はガラスまたはプラスチック材料によって形成されていてもよい。

【0 0 2 4】

更に本発明の装置は、液晶表示装置、有機EL表示装置、CPU、及び、マイクロプロセッサのいずれかであってもよい。

【0 0 2 5】

本発明の製造方法は、前記配線材料を溝内に充填する工程はスパッタ法、CVD法、めっき法、印刷法のいずれかによって行われることが好ましく、前記印刷法においてはインクジェット印刷法あるいはスクリーン印刷法であることが好ましい。

【0 0 2 6】

本発明の装置によれば、配線およびソース電極ならびにドレイン電極の表面はこれらを囲む平坦化層と実質的に同一平面を形成しているため、平坦化層を信号線上に積層しなくても平坦な配線構造を得ることができ、容易に厚膜配線を得ることができる。さらに前記平坦化層は樹脂で構成されているため、CVDなどの減圧工程を必要とせずに成膜できるため、装置の製造コストを低減することができる。

【0 0 2 7】

更に、本発明の製造方法によれば、配線あるいはソース電極、ドレイン電極の形成にインクジェット印刷法やスクリーン印刷法などの印刷法、あるいはめっき法を用いることができるため、低コストに歩留まり良く表示装置を製造することができる。

【0 0 2 8】

また、本発明のアクティブマトリクス表示装置によれば、走査線およびゲート配線に起因する段差形状なく平坦な構造となっているため、表示素子の劣化の少ない良好な表示を得ることができる。

【発明の効果】

【0029】

本発明のアクティブマトリクス表示装置では、絶縁性基板上に少なくとも走査線と、信号線と、該走査線と該信号線の交差部付近に、該走査線にゲート電極が接続され、該信号線にソースあるいはドレイン電極が接続された薄膜トランジスタを有するアクティブマトリクス表示装置において、信号線およびソース電極ならびにドレイン電極の表面はこれらを囲む平坦化層と実質上同一平面を形成しているため、平坦化層を信号線上に積層しなくても平坦な配線構造を得ることができ、容易に厚膜配線を得ることができる。さらに前記平坦化層は樹脂で構成されているため、CVDなどの減圧工程を必要とせずに成膜できるため、アクティブマトリクス表示装置の製造コストを低減することができる。

【0030】

一方、本発明のアクティブマトリクス表示装置の製造方法によれば、信号線あるいはソース電極、ドレイン電極の形成にインクジェット印刷法やスクリーン印刷法などの印刷法、あるいはメッキ法を用いることができるため、低コストに歩留まり良く表示装置を製造することができる。

【0031】

次に、本発明のアクティブマトリクス表示装置によれば、走査線およびゲート配線に起因する段差形状なく平坦な構造となっているため、表示素子の劣化の少ない良好な表示を得ることができると共に、画素電極をソース、ドレイン電極配線とオーバーラップさせることができ、画素電極を拡大できると言う効果もある。

【発明を実施するための最良の形態】

【0032】

以下に図面を参照しながら実施例の説明をする。

【実施例1】

【0033】

図1を参照して、本発明の実施例1に係るアクティブマトリクス表示装置を説明する。図1は本実施例1に係るアクティブマトリクス型液晶表示装置の断面を示す概略図であり、図示された液晶表示装置はアクティブマトリクス基板（以下、マトリクス基板と呼ぶ）100と当該マトリクス基板100に液晶150を介して対向して配置されたフィルタ基板200とを備えている。このうち、マトリクス基板100はガラス基板10、ガラス基板10上に設けられた走査線11、及び、当該走査線11に図示しない部分で接続するゲート電極12とを備えている。更に、走査線11及びゲート電極12上には、ゲート絶縁膜13が形成され、当該ゲート絶縁膜13の薄膜トランジスタ（TFT）形成領域には、第1の半導体層14及び第2の半導体層15が形成されている。このうち、第2の半導体層15は第1の半導体層14と導電率の異なる半導体によって形成され、分離領域を挟んで互いに離隔して設けられたソース領域及びドレイン領域を規定している。

【0034】

ソース領域上には、ソース電極16が形成されており、当該ソース電極16は信号線17と接続されている。他方、ドレイン領域上には、ドレイン電極18が施されている。当該ドレイン電極18はドレイン配線19と接続されている。ここで、ゲート電極12はガラス基板10上に形成された走査線11と信号線17の交差部付近に設けられており、信号線17にソース電極16（あるいはドレイン電極18）を接続することによって、TFTを形成している。

【0035】

更に、信号線17、ソース電極16、ドレイン電極18およびドレイン配線19を覆うように、層間絶縁膜22が形成されており、当該層間絶縁膜22上には、ドレイン配線19に電氣的に接続された画素電極24が形成され、画素電極24及び層間絶縁膜22上に

は、配向膜 26 が形成され、これによって、アクティブマトリクス基板 100 が構成されている。

【0036】

他方、フィルタ基板 200 は対向ガラス基板 40、カラーフィルタ 41、ブラックマトリクス 42、及び、配向膜 43 とによって構成されている。フィルタ基板 200 の構成は通常使用されているものと同様であるので、ここでは、説明を省略する。

【0037】

図 1 に示された本発明の実施例 1 に係る液晶表示装置は信号線 17、ソース電極 16、ドレイン配線 19 及びドレイン電極 18 の周辺を囲むように設けられた平坦化層 30 によって特徴付けられる。図示された例では、ソース領域とドレイン領域とを分離する分離領域（またはチャンネル領域）上にも、平坦化層 32 が形成されている。これら平坦化層 30 及び 32 は信号線 17、ソース電極 16、ドレイン配線 19 及びドレイン電極 18 と実質的に同一平面を形成している。

【0038】

図示された例では、平坦化層 30 及び 32 を形成することによって得られた平面上に、層間絶縁膜 22 を介して画素電極 24 が配置されている。平坦化層 30 及び 32 はソース電極 16 及びドレイン電極 18 における段差を吸収する機能を有しているから、配線形成補助層と呼ぶこともできる。

【0039】

ここで、平坦化層 30、32 は無機物を含んでいても良いし、或いは、樹脂によって形成されても良い。平坦化層 30、32 を形成する樹脂としては、アクリル系樹脂、シリコン系樹脂、フッ素系樹脂、ポリイミド系樹脂、ポリオレフィン系樹脂、脂環式オレフィン系樹脂、およびエポキシ系樹脂からなる群から選ばれた樹脂を使用できる。また、平坦化層 30、32 を形成する樹脂は感光性樹脂であっても良く、この場合、アルカリ可溶性脂環式オレフィン樹脂と感放射線成分とを含有する樹脂組成物を使用できる。更に、平坦化層 30、32 を形成する樹脂は透明或いは不透明なものを使用できる。尚、信号線 17、ソース電極 16、ドレイン電極 18 及びドレイン配線 19 は有機物を含有していても良い。

【0040】

図 2-1～図 2-3 を参照して、本発明の実施例 1 に係るアクティブマトリクス液晶表示装置の製造方法を説明する。まず、図 2-1 (a) に示すように、フォトリソグラフィ法により、ガラス基板 10 上に、走査線及びゲート電極 12 が連続的に形成されている（ここでは、走査線に接続されたゲート電極 12 についてのみ図示する）。ゲート電極 12 の厚さ（従って走査線の配線厚さ）は $0.2\mu\text{m}$ とした。

【0041】

次に、図 2-1 (b) に示すように、マイクロ波励起プラズマを用いたプラズマ CVD 法により SiH_4 ガスと H_2 ガスと N_2 ガスと Ar ガスを用いてシリコン窒化膜 (SiN_x 膜) をゲート絶縁膜 13 として成膜した。通常の高周波励起プラズマを用いても SiN_x 膜は成膜できるが、マイクロ波励起プラズマを用いることで、より低温での SiN_x 膜の成膜が可能である。成膜温度は 300°C とし、膜厚は $0.2\mu\text{m}$ とした。

【0042】

更に、マイクロ波励起プラズマを用いたプラズマ CVD 法により、第 1 の半導体層 14 としてアモルファスシリコン層及び第 2 の半導体層 15 として n^+ 型アモルファスシリコン層を順次成膜した。アモルファスシリコン層 14 は SiH_4 ガスを用い、 n^+ 型アモルファスシリコン層 15 は SiH_4 ガスおよび PH_3 ガス、 Ar ガスを用い、 300°C の温度で成膜した（図 2-1 (c)）。

【0043】

続いて、全面にフォトリジストをスピンコート法により塗布し、 100°C で 1 分間、ホットプレート上で乾燥し溶剤を除去した。次に、 g 線ステッパを用いて、 $36\text{mJ}/\text{cm}^2$ のエネルギードーズ量で露光を行った。露光の際、素子領域上にフォトリジストが残存

するようにマスクを形成すると共に、素子領域内部に位置付けられるチャネル領域に相当する部分上のフォトレジストの膜厚が薄くなるように、スリットマスクを用いて、露光量を調整した。2. 38%のTMAH溶液を用いてパドル現像70秒間を行った結果、図2-1(d)に示す形状のフォトレジスト膜35を得た。即ち、図2-1(d)に示すように、素子領域上で厚く、チャネル領域上で薄くなるようなフォトレジスト膜35が形成された。

【0044】

次に、プラズマエッチング装置を用いて、n+型アモルファスシリコン層15、アモルファスシリコン層14のエッチングを行った。この際、フォトレジスト膜35も若干エッチングされ、膜厚が減少するため、フォトレジスト膜35のうち、チャネル領域上の膜厚の薄いレジスト膜部分はエッチング除去され、n+型アモルファスシリコン層15もエッチングされる。ただしアモルファスシリコン層14はチャネル領域に残る。

【0045】

一方、素子領域部以外では、n+型アモルファスシリコン層15およびアモルファスシリコン層14の両方の膜厚全体がエッチング除去され、チャネル領域上のn+型アモルファスシリコン層15がエッチング除去された時点で、エッチング処理を終了すると、図2-2(e)に示された構造が得られた。この状態では、図2-2(e)からも明らかなように、ソース電極16およびドレイン電極18をそれぞれその上に形成すべきn+型アモルファスシリコン層15の領域上には、フォトレジスト膜35が残されたままである。

【0046】

次に、この状態で、Arガス、N₂ガス、H₂ガスを用いて、マイクロ波励起プラズマ処理を行い、チャネル部のアモルファスシリコン14表面に直接、窒化膜36を形成する(図2-2(f))。一般的な高周波プラズマを用いても窒化膜36の形成は可能であるが、マイクロ波励起プラズマを用いることが望ましい。これは、電子温度が低いプラズマを生成できるため、チャネル部にプラズマによるダメージを与えることなく窒化膜36を形成できるからである。また、CVD法により窒化膜36を形成することも可能であるが、CVD法を用いた場合、ソース電極およびドレイン電極領域にも窒化膜が形成されるから、後でソース及びドレイン電極領域上の窒化膜を除去する工程が必要になる。したがって、図示されているように、直接窒化膜36を形成するのがより好ましい。この際に、図示のように、素子領域の端部においてアモルファスシリコン層14および15の側面にも直接窒化膜36が形成される。

【0047】

次に、ソース電極領域及びドレイン電極領域上に残存するフォトレジスト膜35(図2-2(f))を、酸素プラズマアッシングを施した後、レジスト剥離液などにより除去することにより、図2-2(g)のような形状を得る。

【0048】

続いて、感光性透明樹脂膜前駆体を塗布し、図1に示された信号線17、ソース電極16、ドレイン電極18及びドレイン配線19を形成するためのフォトマスクを用いて、露光、現像、ポストバークを行うことにより、図2-2(h)に示すように、透明樹脂によって形成された配線形成補助層32をチャネル領域上からソース・ドレイン電極領域のチャネル領域側の端部上にかけて形成する。このとき、図1に示すように、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19を囲むべき領域にも、配線形成補助層30が形成される。これら配線形成補助層30及び32の形成によって、配線形成補助層30及び32に取り囲まれて、図2-2(h)に示されているように、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19が形成されるべき領域に、溝38が残される。上記したことから明らかな通り、図示された例では、配線形成補助層30及び32として、透明な感光性樹脂組成物が使用されている。

【0049】

これらの溝38には、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19をインクジェット印刷法などの印刷法やめっき法で形成することができる。

【0050】

配線幅が微細である場合は、精度を高めるために、透明樹脂層（配線形成補助層）30、32の表面に撥水性を持たせる処理を行ってもよい。具体的には、NF₃などのフッ素系ガスを用いたプラズマを用いて表面をフッ素処理したり、樹脂のポストバーク前にフッ素系シリル化剤を樹脂前駆体に含浸したりすることなどを例としてあげることが出来る。次に、インクジェット印刷法などの印刷法やめっき法により、前記溝38に配線前駆体を充填する。配線形成方法はインクの効率的な使用の観点からインクジェット法が好ましいが、スクリーン印刷法などを用いてもよい。本実施例では配線前駆体として特開2002-324966に開示されるものと同様の銀ペーストインクを用いて配線を形成した。この場合、配線前駆体を充填後、250度の温度で30分間焼成を行い、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19を形成した(図2-3(i)および図1)。

【0051】

このようにして、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19の表面が配線形成補助層30、32の表面と実質的に同一平面を形成しているTFTが形成された。

【0052】

次に、実質的に同一平面を形成する信号線17、ソース電極16、ドレイン電極18、ドレイン配線19、配線形成補助層30、32上に層間絶縁膜22(図1参照)を成膜した。この層間絶縁膜22としては、配線形成補助層30、32と同様に、感光性透明樹脂を使用することができる。このように、感光性透明樹脂を層間絶縁膜22として成膜した場合、当該感光性透明樹脂を露光、現像を行うことで、画素電極24からTFT電極(ここでは、ドレイン配線19)へのコンタクトホールを形成することができる。これに引き続き、露出した表面全面に、ITOをスパッタ成膜し、パターニングすることで画素電極24とした。尚、ITOの代わりにSnO₂などの透明導電膜材料を用いてもよい。この表面に液晶の配向膜26としてポリイミド膜を形成し、対向するフィルタ基板200との間に液晶150を挟持することで、アクティブマトリクス液晶表示装置を得た。

【0053】

本実施例1に係るアクティブマトリクス液晶表示装置によれば、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19が平坦化層30、32と実質的に同一平面を形成しているため、液晶の配向不良の少ない高品質な表示を得ることができた。

【実施例2】

【0054】

図3を参照して、本発明の実施例2に係るアクティブマトリクス液晶表示装置を説明する。図3において、図1に示された液晶表示装置と対応する部分は同一の参照番号によってあらわされている。図3に示されたアクティブマトリクス液晶表示装置では、ガラス基板10上に形成された走査線11及びゲート電極12が絶縁膜45内に埋設されている点で図1に示された液晶表示装置と相違しており、この結果、走査線11、ゲート電極12及び絶縁膜45も実質的に同一平面を形成しており、ゲート絶縁膜13はこの平坦化された表面に一様に形成されている。

【0055】

図3においても、走査線11と信号線17との交差部付近の走査線11にゲート電極12が接続(図示せず)されており、ゲート絶縁膜13上の信号線17にソースまたはドレイン電極16または18が接続され、これによって薄膜トランジスタ(TFT)への配線接続を形成している。

【0056】

更に、図1と同様に、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19を囲むように平坦化層30、32が形成され、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19と平坦化層30、32とは実質的に同一平面を形成している。この平面上に層間絶縁膜22を介して画素電極24が配置され、アクティブマト

リクス基板を構成し、フィルタ基板 2 0 0 との間で液晶 1 5 0 を挟持して、液晶表示装置を構成している。尚、図 3 においても、ソース領域とドレイン領域とを分離する分離領域にも、平坦化層 3 2 が形成されているが、この分離領域における段差は他の部分における段差よりも 0.1 から 0.2 μm と低いため、平坦化層 3 2 は必ずしも設け無くても良い。

【0 0 5 7】

本実施例 2 では、走査線 1 1 及びゲート電極 1 2 を埋め込み配線としている。この配線はインクジェット法によって形成することができる。ここでは、図 4 を参照して、ゲート電極 1 2 (およびそれに連続する走査線等の配線) の形成方法を説明する。まず、ガラス基板 1 0 の表面に 1 μm の厚さの感光性を有する感光性透明樹脂膜を上記した絶縁膜 4 5 としてスピンコート法等の手法により形成する。絶縁膜 4 5 として、感光性透明樹脂膜を使用した場合、当該感光性透明樹脂膜をフォトレジスト膜として利用することができる。次に、感光性透明樹脂膜 (即ち、絶縁膜 4 5) を活性放射線を用いて選択的に露光、現像および除去、ポストベークをすることにより、図 4 (a) に示すように感光性透明樹脂膜に溝 5 2 を形成する。配線幅が微細である場合は、印刷精度を高めるために、前記感光性透明樹脂膜の表面に撥水性を持たせる処理を行ってもよい。具体的には、NF₃などのフッ素系ガスのプラズマを用いて表面をフッ素処理したり、樹脂のポストベーク前にフッ素系シリル化剤を樹脂前駆体に含浸したりすることなどが例示される。

【0 0 5 8】

次に、インクジェット印刷法などの印刷法やめっき法により、前記溝部に配線前駆体を充填する。配線形成方法はインクの効率的な使用の観点からインクジェット法が好ましいが、スクリーン印刷法などを用いてもよい。本実施例では配線前駆体として特許文献 2 に開示されるものと同様の銀ペーストインクを用いて配線を形成した。配線前駆体を充填後 2 5 0 度の温度で 3 0 分間焼成を行い、走査線およびゲート電極とした (図 4 (b))。

【0 0 5 9】

以降、実施例 1 に記載の方法と同様の方法で、アクティブマトリクス液晶表示装置を完成した。

【0 0 6 0】

この実施例 2 は、走査線 1 1 及びゲート電極 1 2 に起因する段差をなくし、平坦化した構造を有しているため、液晶 1 5 0 の配向不良の少ない良好な表示を得ることができた。更に、ゲート電極 1 2 が絶縁膜 4 5 (図 4 では感光性透明樹脂膜) と実質的に同一平面を形成しているため、ゲート絶縁膜 1 3 に段差が生じず、製造歩留まりの劣化や絶縁不良の少ない良好な TFT を形成することができた。

【実施例 3】

【0 0 6 1】

本発明の実施例 3 では、実施例 1 および 2 に用いた手法と同様の手法により、アクティブマトリクス有機 EL 表示装置を形成した。図 5 は形成した有機 EL 表示装置の構造を示す断面図であり、説明の都合上、図 1 及び図 3 と同等な機能を有する部分は同一の参照番号で示されている。図 5 に示された有機 EL 表示装置は、ガラス基板 1 0 上に形成された走査線 1 1 とゲート電極 1 2 とを備え、図示された走査線 1 1 及びゲート電極 1 2 は、図 3 と同様に、絶縁膜 4 5 内に埋設されている。この絶縁膜 4 5 としては、図 4 を参照して説明したように、透明感光性樹脂を使用することができる。

【0 0 6 2】

更に、図示された例では、平坦な表面を形成する走査線 1 1、ゲート電極 1 2、及び絶縁膜 4 5 上に、ゲート絶縁膜 1 3 が形成されると共に、第 1 及び第 2 の半導体層 1 4 及び 1 5、ソース及びドレイン電極 1 6、1 8、ドレイン配線 1 9 並びに信号線 1 7 がゲート絶縁膜 1 3 上に形成されている。

【0 0 6 3】

図示された有機 EL 表示装置は、信号線 1 7 に接続されたソース電極 1 6 (ドレイン電極 1 8 でもよい。その場合はソース電極がソース配線を介して画素電極に接続される) を有する薄膜トランジスタを含んでいる。図示された例においても、信号線 1 7、ソース電

極 16、ドレイン電極 18 及びドレイン配線 19 を囲むように平坦化層 30、32 が形成され、これら信号線 17、ソース電極 16、ドレイン電極 18 及びドレイン配線 19 と該平坦化層 30、32 とは実質的に同一平面を形成している。この平面上に、層間絶縁膜 22 を介して ITO からなる画素電極 24 が配置され、画素電極 24 と対向電極 60 との間で、有機 EL 層 62 を挟持することによって、アクティブマトリクス有機 EL 表示装置が構成されている。図示された例では、対向電極 60 は保護膜 64 によって覆われている。

【0064】

画素電極 24 の形成までは、実施例 1 および実施例 2 と同様であるため、ここでは、有機 EL 層 62 を形成する方法について主に説明する。画素電極 24 の形成方法について概略説明しておく、走査線 11、ゲート電極配線 12、絶縁膜 45 は実質的に同一平面を構成すると共に、信号線 17 及びソース、ドレイン電極配線 16、18 もそれぞれ平坦化層 30 を形成しているため、画素電極 24 の面に段差の無い平坦な基板を得ることができた。

【0065】

有機 EL 層 62 は、ホール輸送層 66、発光層 67、電子輸送層 68 を含み、その構成については、特に限定はされず、公知の材料のいずれを使用しても、本発明の作用・効果が得られる。ここで、ホール輸送層 66 は、発光層 67 へのホールの移動を効率よく行うとともに、対向電極 60 からの電子が発光層 67 を超えて透明導電性電極側へ移動するのを抑制し、発光層 67 における電子とホールとの再結合効率を高める役割を有するものである。ホール輸送層 66 を構成する材料としては、特に限定されないが、たとえば 1, 1-ビス(4-ジ-*p*-アミノフェニル)シクロヘキサン、ガルバゾールおよびその誘導体、トリフェニルアミンおよびその誘導体などを使用することができる。発光層 67 は、特に限定されないが、ドーパントを含有したキノリノールアルミニウム錯体、DPVBi、ビフェニルなどを使用することができる。用途に応じて、赤、緑、青の発光体を積層して用いてもよく、また、表示装置などにおいては、赤、緑、青の発光体をマトリクス状に配置して用いても良い。電子輸送層 68 としては、シロール誘導体、シクロペンタジエン誘導体等を使用できる。

【0066】

本実施例 3 においては、ITO 画素電極 24 の上に蒸着法によりホール輸送層 66、発光層 67、電子輸送層 68 を順次積層した。次に、A1 を蒸着法により成膜し、対向電極 60 とした。次に、プラズマ CVD 法により、SiNx 膜を堆積し保護膜 64 とした。

【0067】

画素電極 24 の材料、対向電極 60 の材料、保護膜 64 の材料は上記に限られることはなく、仕事関数などを考慮の上、有機 EL 装置の性能を十分に発揮する材料であればよい。このようにして、本実施例 3 のアクティブマトリクス有機 EL 表示装置が完成される。この構成では、走査線 11 及びゲート電極 12 に段差がなく、信号線 17、ソース電極 16、ドレイン電極 18 及びドレイン配線 19 の段差に起因する段差も有機 EL 層 62 に発生せず平坦な構造となっているため、有機 EL 層での電界の局所集中などを緩和でき発光寿命の長い表示装置を得ることができた。更に、ゲート電極 12 が透明樹脂によって形成される絶縁膜 45 と実質的に同一平面を形成しているため、ゲート絶縁膜 13 に段差が生じず、製造歩留まりの劣化や絶縁不良の少ない良好な TFT を形成することができた。本実施例 3 ではボトムエミッション型の有機 EL 表示装置を構成したが、トップエミッション型でも同様の効果を得ることができ、また、有機 EL 層 62 の構成順序を任意に変更しても同様の効果を得ることができる。本実施例では有機 EL 層 62 の形成方法として蒸着法を用いたが、材料の特性に合わせてインクジェット法などの印刷法で形成しても本発明の効果が得られる。

【産業上の利用可能性】

【0068】

本発明は TFT を含むアクティブマトリクス液晶表示装置、アクティブマトリクス有機 EL 表示装置等に適用することができ、特に、大型化が要求される表示装置を構成できる

。更に本発明は、アクティブマトリクス表示装置に限らず、薄膜トランジスタを用いてCPU、マイクロプロセッサ、システムLSI等を構成する薄膜トランジスタ集積回路装置一般にも適用することができる。

【図面の簡単な説明】

【0069】

【図1】本発明の実施例1に係るアクティブマトリクス液晶表示装置を説明する断面図である。

【図2-1】図1に示されたアクティブマトリクス液晶表示装置の製造方法を工程順に説明するための断面図である。

【図2-2】図1に示されたアクティブマトリクス液晶表示装置の製造方法を工程順に説明するための断面図である。

【図2-3】図1に示されたアクティブマトリクス液晶表示装置の製造方法を工程順に説明するための断面図である。

【図3】本発明の実施例2に係るアクティブマトリクス液晶表示装置を説明する断面図である。

【図4】(a)及び(b)は図3に示されたアクティブマトリクス液晶表示装置の製造工程の一部を説明するための断面図である。

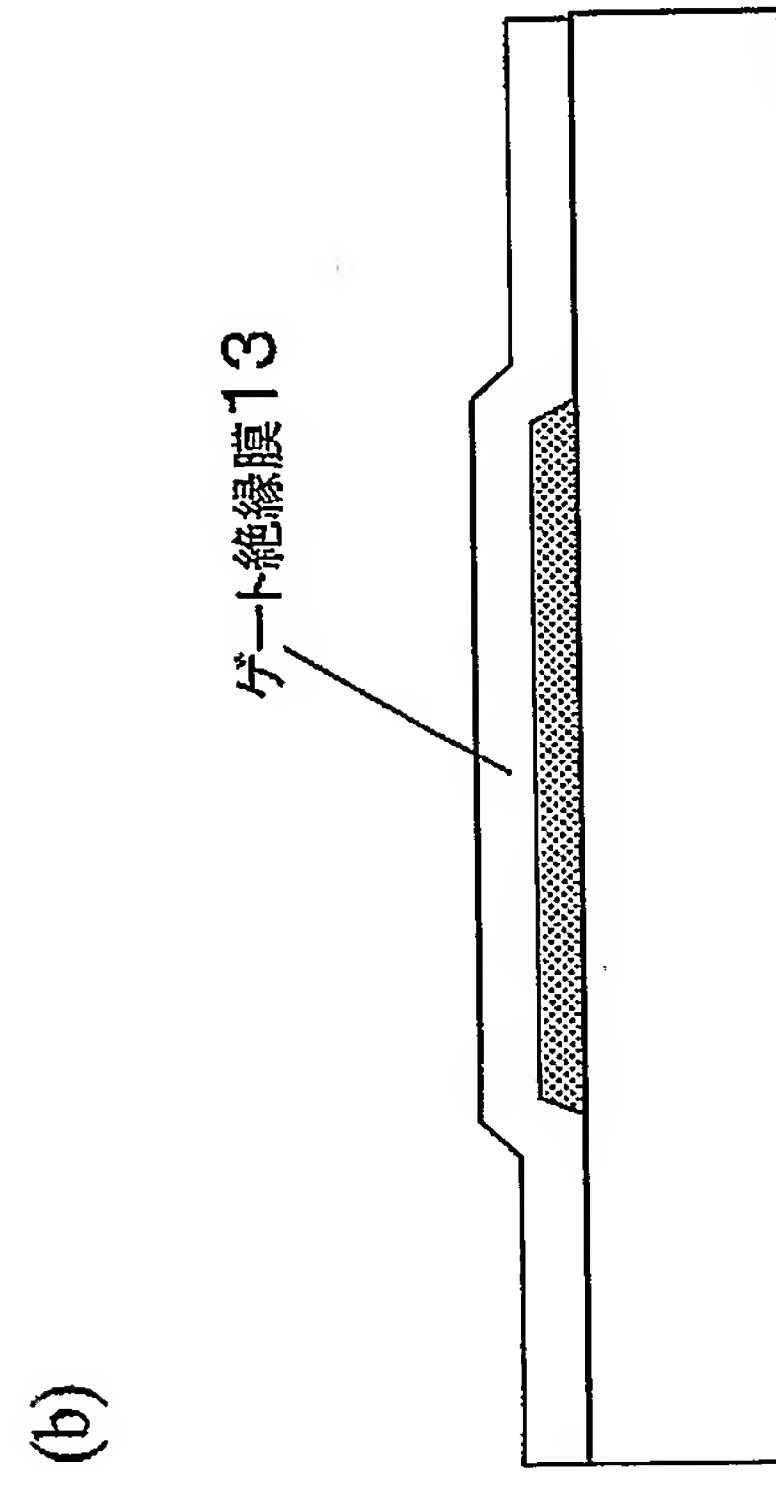
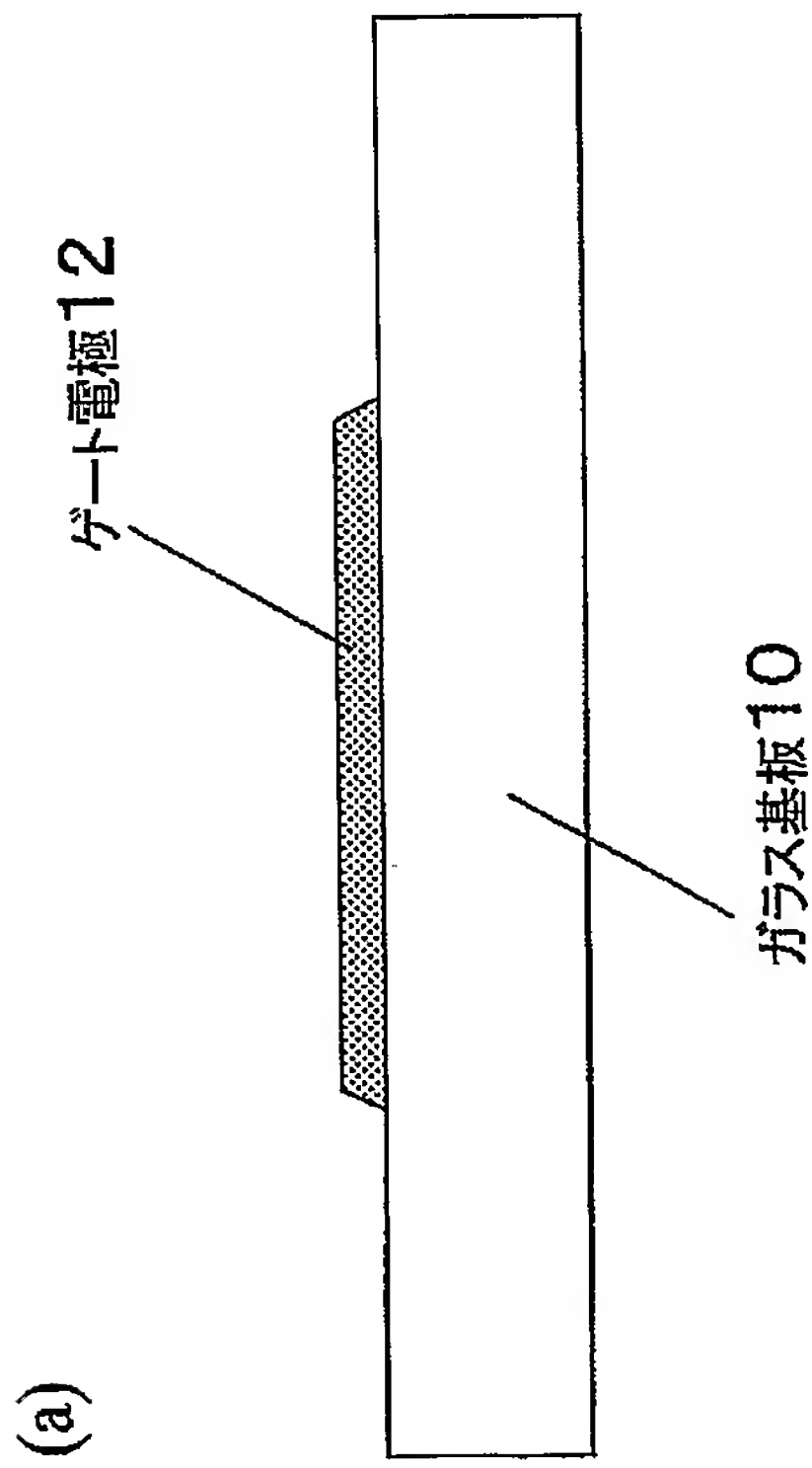
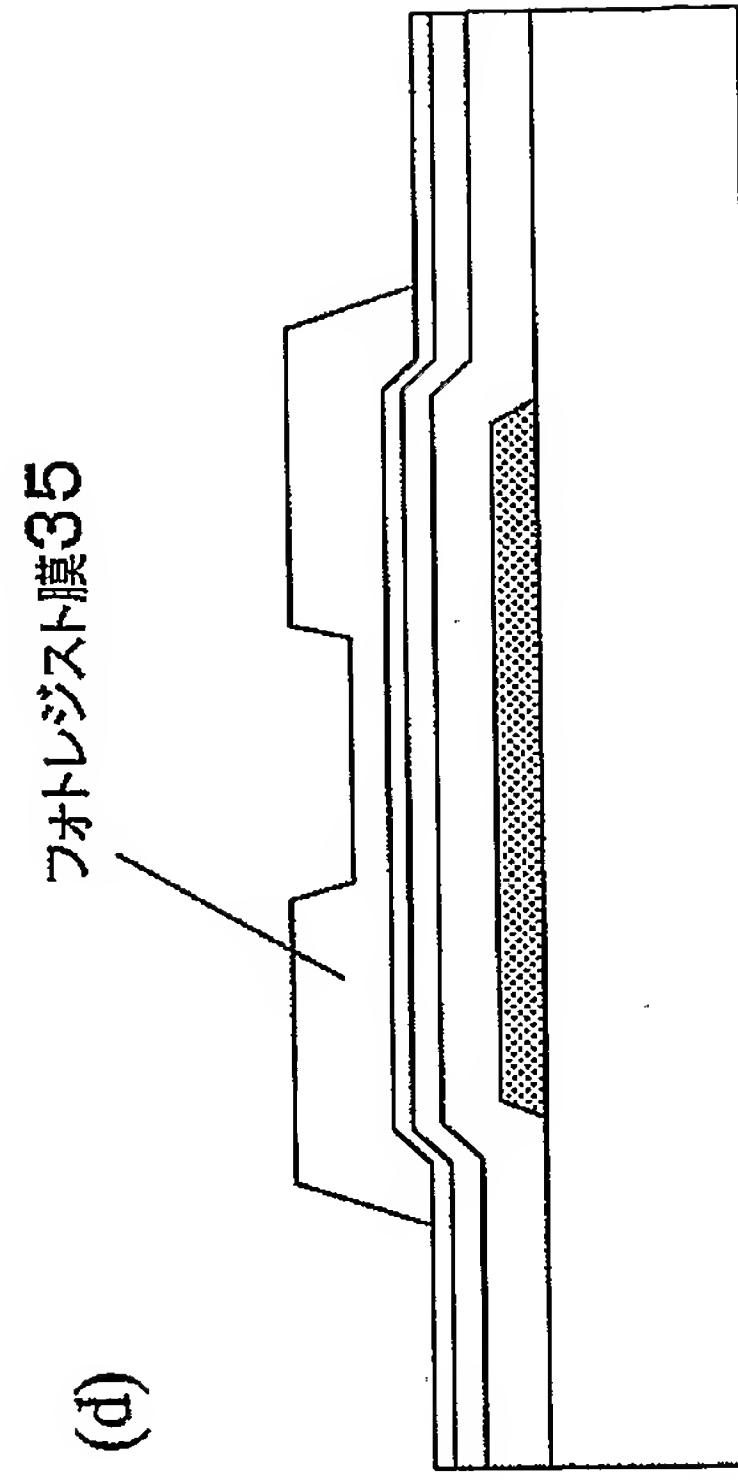
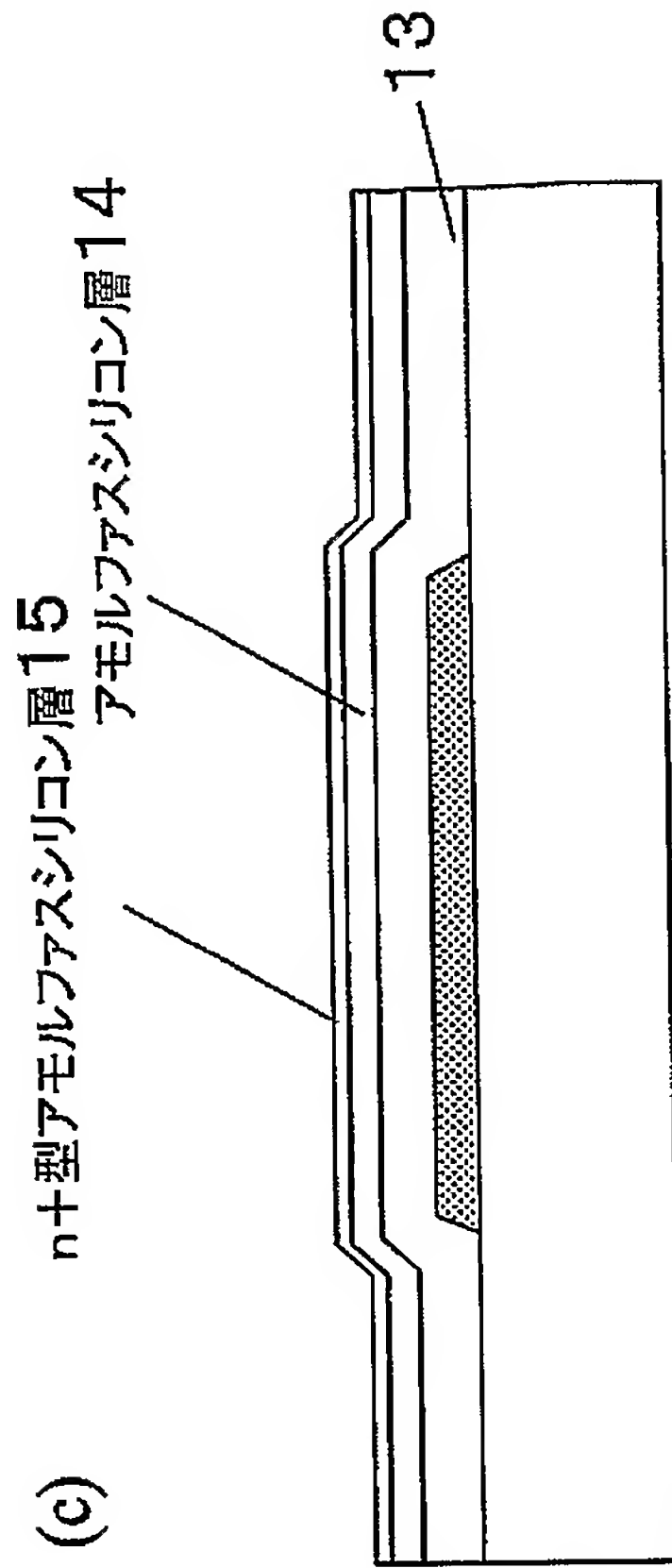
【図5】本発明の実施例3に係るアクティブマトリクス有機EL表示装置を説明する断面図である。

【符号の説明】

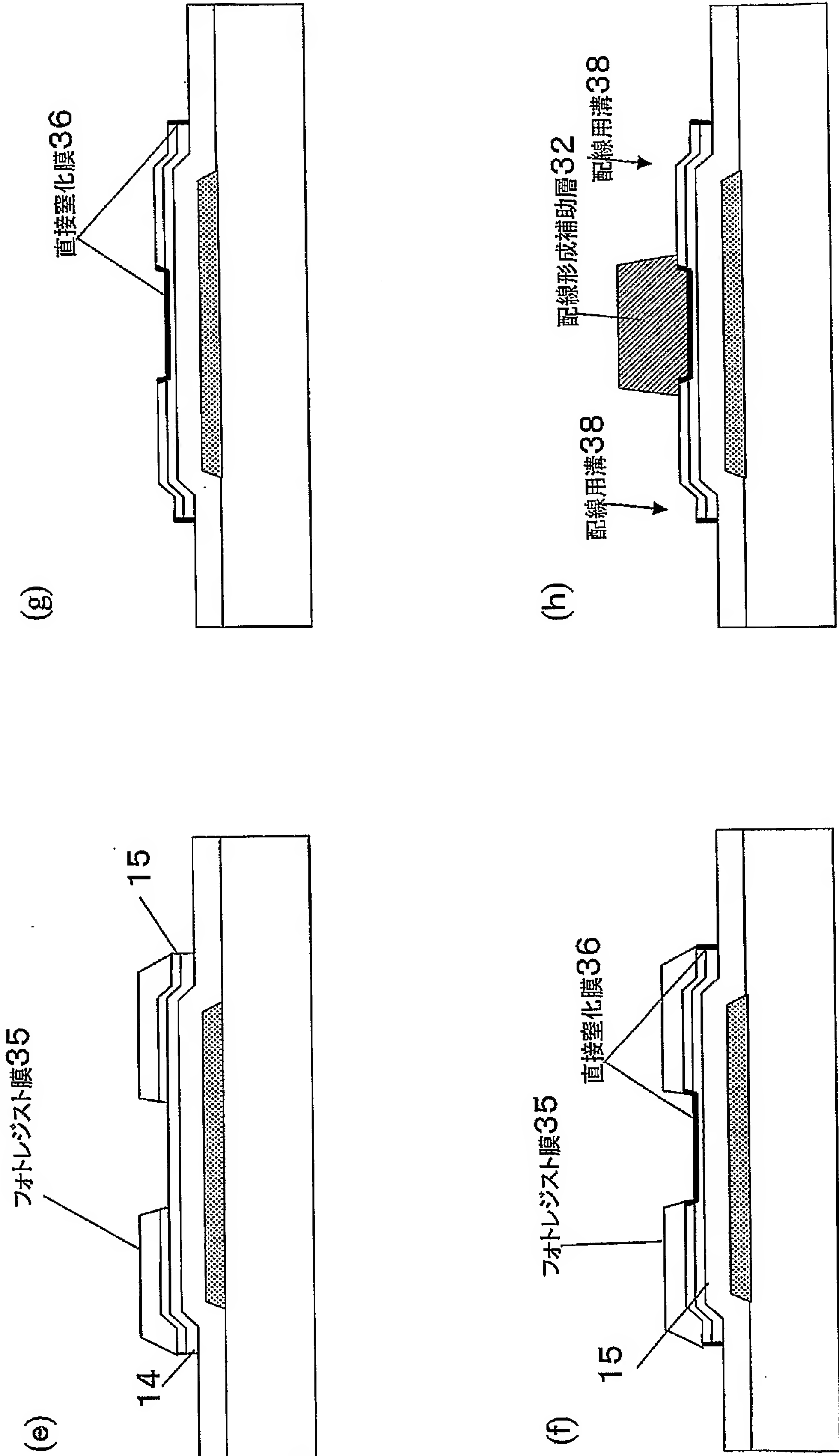
【0070】

100	アクティブマトリクス基板
150	液晶
200	フィルタ基板
10	ガラス基板
11	走査線
12	ゲート電極
13	ゲート絶縁膜
14	第1の半導体層
15	第2の半導体層
16	ソース電極
17	信号線
18	ドレイン電極
19	ドレイン配線
22	層間絶縁膜
24	画素電極
26、43	配向層
30、32	配線形成補助層（平坦化層）
40	対向ガラス基板
41	カラーフィルタ
42	ブラックマトリクス

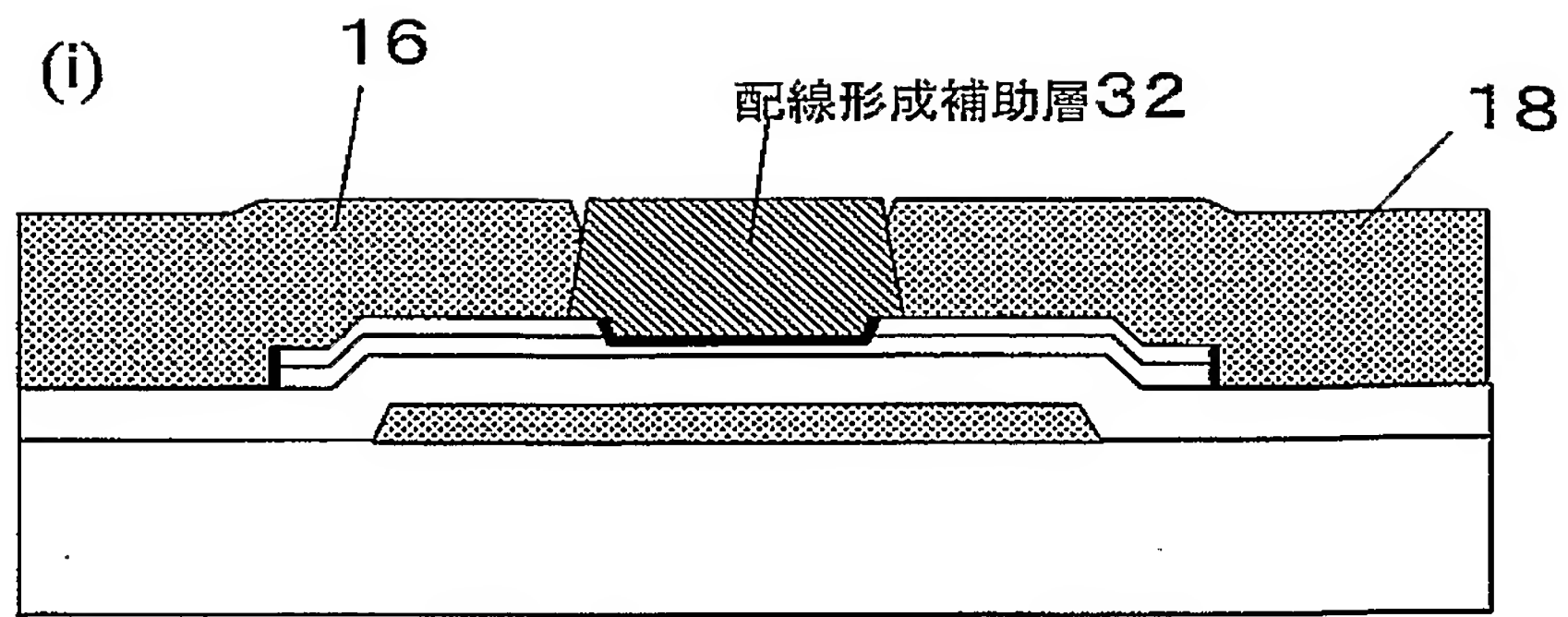
【図 2-1】



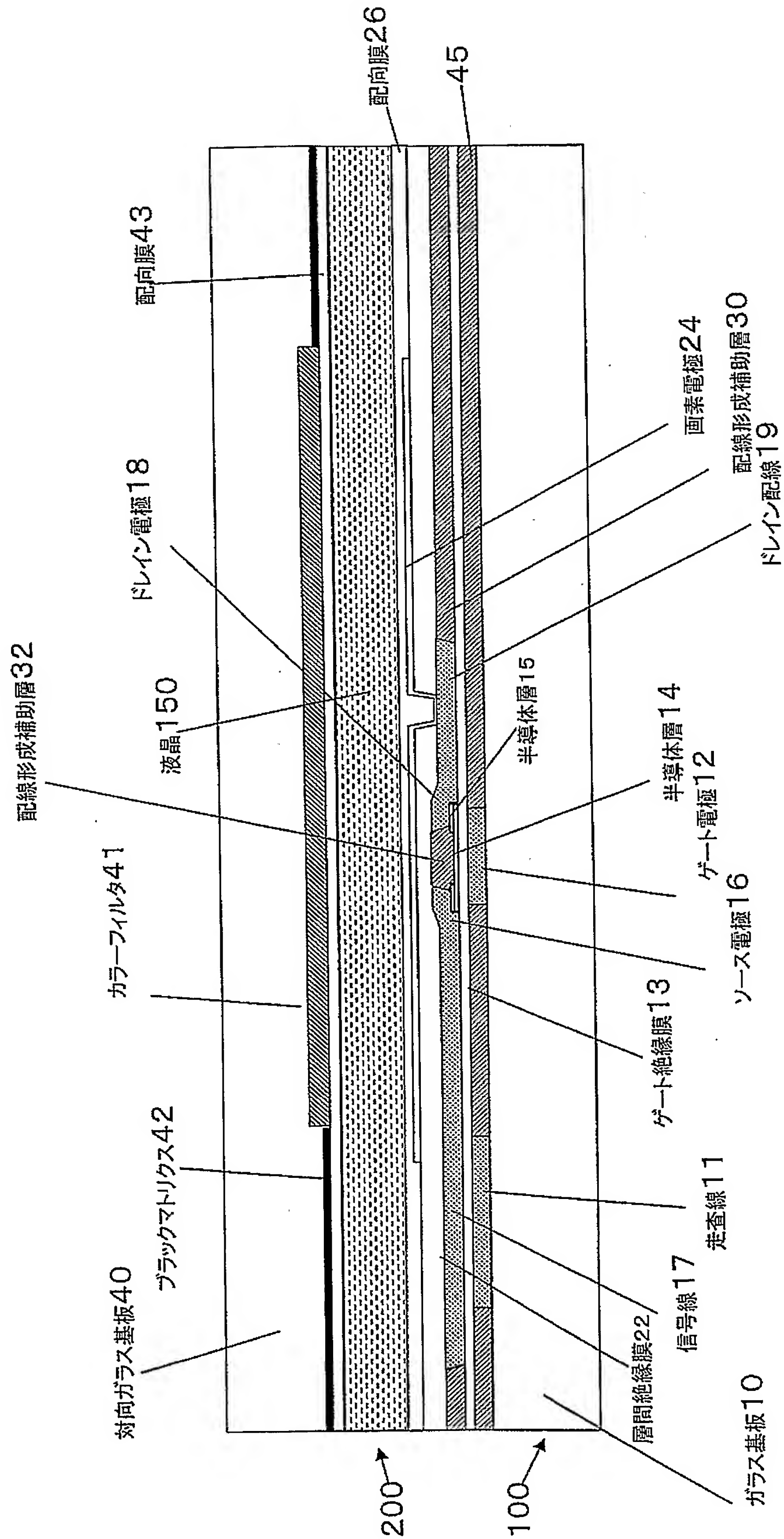
【図 2 - 2】



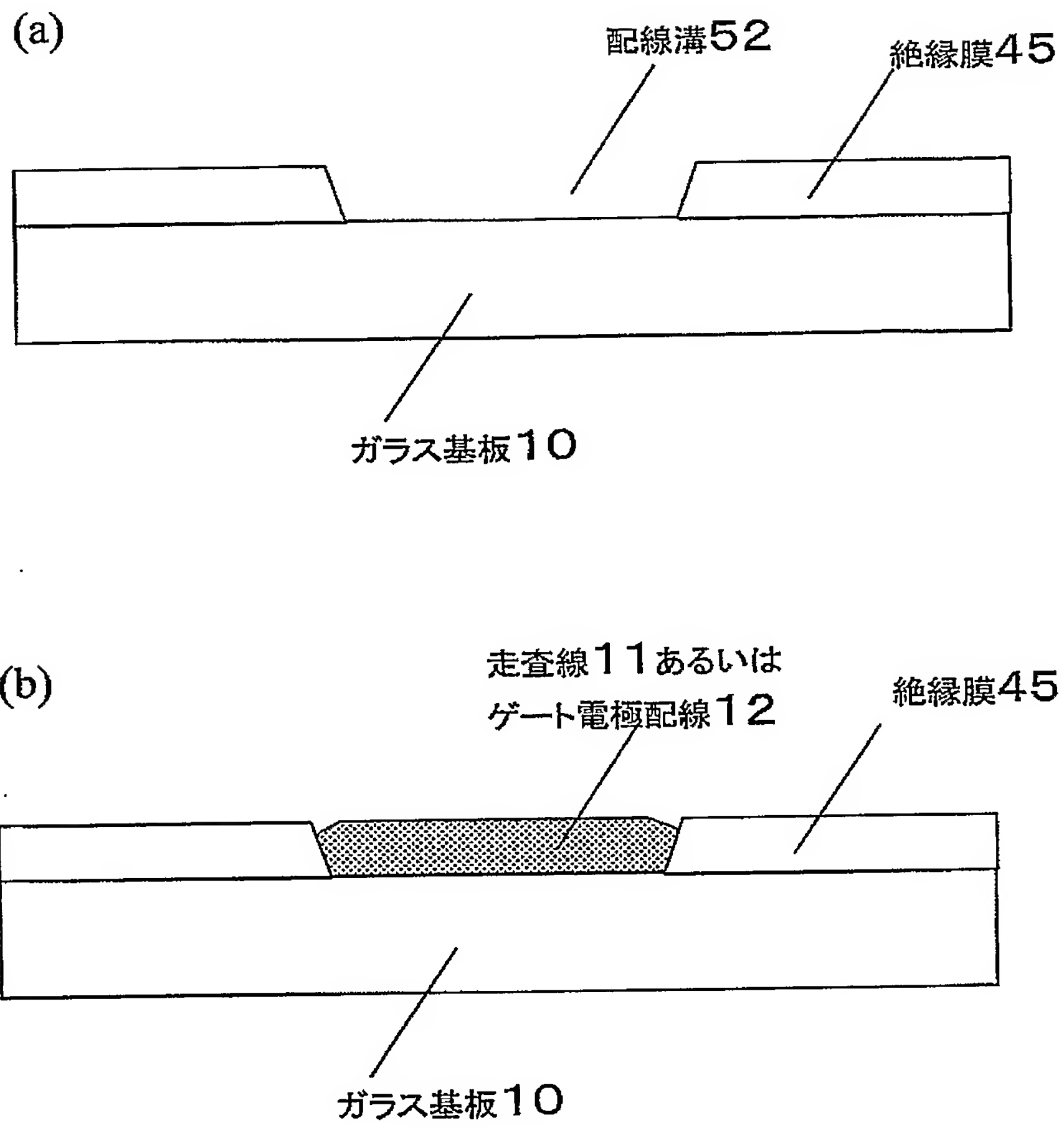
【図 2 - 3】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 ソース、ドレイン電極配線を含むアクティブマトリクス表示装置では、ソース電極配線及びドレイン電極配線と、これら配線以外の領域との間に段差が生じ、この段差に起因して画素電極にも段差が発生するため、画素電極の面積を大きくできない。

【解決手段】 ソース電極配線、ドレイン電極配線、及び、信号線を囲むように、平坦化層を形成し、ソース電極配線、ドレイン電極配線、及び、信号線が実質上平坦化層と同一平面を形成するようにしたアクティブマトリクス表示装置が得られる。

【選択図】 図 1

特願 2 0 0 3 - 4 0 0 3 0 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 0 5 0 4 1]

1. 変更新月日 1 9 9 0 年 8 月 2 7 日

[変更新理由] 新規登録

住 所 宮城県仙台市青葉区米ヶ袋 2 - 1 - 1 7 - 3 0 1

氏 名 大見 忠弘

特願 2 0 0 3 - 4 0 0 3 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 9 1 1 7]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 6 番 1 号

氏 名

日本ゼオン株式会社